



(12) **Patentschrift**

(21) Deutsches Aktenzeichen: **11 2018 001 534.3**
 (86) PCT-Aktenzeichen: **PCT/US2018/022770**
 (87) PCT-Veröffentlichungs-Nr.: **WO 2018/175214**
 (86) PCT-Anmeldetag: **16.03.2018**
 (87) PCT-Veröffentlichungstag: **27.09.2018**
 (43) Veröffentlichungstag der PCT Anmeldung
 in deutscher Übersetzung: **23.01.2020**
 (45) Veröffentlichungstag
 der Patenterteilung: **26.03.2026**

(51) Int Cl.: **H10P 74/00 (2026.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

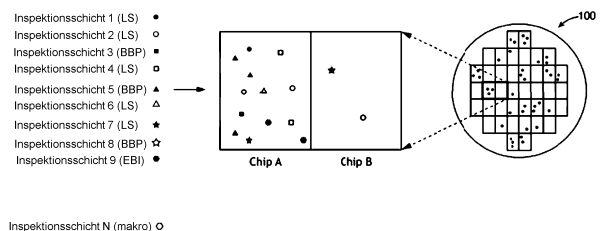
<p>(30) Unionspriorität:</p> <table border="0"> <tr> <td>62/475,749</td> <td>23.03.2017</td> <td>US</td> </tr> <tr> <td>15/480,244</td> <td>05.04.2017</td> <td>US</td> </tr> </table> <p>(73) Patentinhaber: KLA Corp., Milpitas, CA, US</p> <p>(74) Vertreter: Reichert & Lindner Partnerschaft Patentanwälte, 93049 Regensburg, DE</p>	62/475,749	23.03.2017	US	15/480,244	05.04.2017	US	<p>(72) Erfinder: Price, David W., Austin, TX, US; Rathert, Robert J., Mechanicsville, VA, US; Robert, Cappel, Pleasanton, CA, US; Sherman, Kara L., San Jose, CA, US; Sutherland, Douglas G., Palo Alto, CA, US</p> <p>(56) Ermittelter Stand der Technik:</p> <table border="0"> <tr> <td>US</td> <td>2009 / 0 299 679</td> <td>A1</td> </tr> <tr> <td>US</td> <td>2015 / 0 221 076</td> <td>A1</td> </tr> <tr> <td>US</td> <td>2016 / 0 314 578</td> <td>A1</td> </tr> </table>	US	2009 / 0 299 679	A1	US	2015 / 0 221 076	A1	US	2016 / 0 314 578	A1
62/475,749	23.03.2017	US														
15/480,244	05.04.2017	US														
US	2009 / 0 299 679	A1														
US	2015 / 0 221 076	A1														
US	2016 / 0 314 578	A1														

(54) Bezeichnung: **VERFAHREN UND SYSTEME ZUM DURCHSCHNITTS-INLINE-TESTEN VON BAUTEILEN UND ZUR LATENTEN ZUVERLÄSSIGKEIT DER DEFEKTDETEKTION**

(57) Hauptanspruch: Ein Durchschnitts-Inline-Testverfahren für Bauteile, umfasst:
 Durchführen einer Inline-Inspektion und Inline-Metrologie mit einem Inline-Inspektionswerkzeug (502) an einer Vielzahl von Wafern (506) bei einer Vielzahl von kritischen Schritten während der Produktion von Wafern;
 Aggregieren der von der Inline-Inspektion und Inline-Metrologie erhaltenen Prüfergebnisse, wobei ein oder mehrere Prozessoren (504) verwendet werden, um eine Vielzahl von aggregierten Prüfergebnissen für die Vielzahl von Wafern (506) zu erhalten;
 Identifizieren, mit dem einen oder den mehreren Prozessoren (504), eines oder mehrerer statistischer Ausreißer unter der Vielzahl von Wafern (506), zumindest teilweise basierend auf der Vielzahl von aggregierten Prüfergebnissen, die von der Vielzahl der Wafer (506) erhalten wurden, und auf einer Korrelation einer Zuverlässigkeitsprüfung eines oder mehrerer Bauteile, die aus einem oder mehreren Wafern (506) aus einer Vielzahl früher hergestellter Wafer (506) gebildet wurden, und aggregierten Prüfergebnissen, die für die Vielzahl der früher hergestellten Wafer (506) erhalten wurden; und
 selektives Aussondern, basierend auf einem ausgewählten Risiko-Toleranzniveau, mit dem einem oder den mehreren Prozessoren (504), eines Teils des einen oder der mehreren statistischen Ausreißer der Vielzahl von Wafern

(506) aus einer Versorgungskette für einen nachgeschalteten Herstellungsprozess, wenn sich der eine oder die mehreren statistischen Ausreißer in einem betriebsfähigen Bauteil befinden; und
 Melden des selektiv ausgesonderten Teils des einen oder der mehreren statistischen Ausreißer der Vielzahl von Wafern (506) zur Markierung.

Erzeugen eine gestapelten Defektkarte eines DIES, indem die Defekte von mehreren Inline-Inspektionsschritten zusammengeführt werden



BeschreibungQUERVERWEIS AUF VERWANDTE
ANMELDUNGEN

[0001] Die vorliegende Anmeldung beansprucht unter 35 U.S.C. § 119 (e) die Priorität der provisorischen US-Patentanmeldung mit der Seriennummer 62/475,749, angemeldet am 23. März 2017.

TECHNISCHES GEBIET

[0002] Die Beschreibung bezieht sich allgemein auf das Gebiet der Prozesssteuerung und insbesondere auf die Inspektion und Metrologie von Halbleiterbauelementen.

HINTERGRUND

[0003] Dünne polierte Platten, wie Siliziumwafer und dergleichen, sind ein sehr wichtiger Bestandteil der modernen Technik. Ein Wafer zum Beispiel, betrifft eine dünne Scheibe aus Halbleitermaterial, die bei der Herstellung von integrierten Schaltungen und anderen Bauelementen verwendet wird. Andere Beispiele von dünnen, polierten Platten können Substrate für Magnetplatten, Endmaße und dergleichen umfassen. Während sich die hier beschriebene Technik in erster Linie auf Wafer bezieht, ist es selbstverständlich, dass die Technik auch auf andere Arten von polierten Platten anwendbar ist. Der Begriff Wafer und der Begriff dünne polierte Platte können austauschbar in der vorliegenden Beschreibung verwendet werden.

[0004] Im Verlauf der Herstellung eines Halbleiterbauelements durchläuft ein Wafer hunderte von Verarbeitungsschritten, um ein betriebsfähiges Bauelement zu bemustern. Im Laufe dieser Schritte werden Inspektions- und Metrologieschritte durchgeführt, um sicherzustellen, dass der Prozess unter Kontrolle ist und am Ende des Herstellungszyklus dann ein funktionierendes Produkt resultiert. Inspektionswerkzeuge können unbeabsichtigte Defekte in der Musterbildung finden, während Metrologiewerkzeuge die physikalischen Parameter der Filme und Muster in Bezug auf beabsichtigte Dimension messen können. Während einige Defekte und Fehler, die durch die Metrologie gefunden werden, so bedeutend sein können, dass sie eindeutig ein Versagen des Bauelements zeigen, können kleinere Abweichungen eine unklare Wirkung haben. Ein Teil dieser Bauelemente kann später zu früheren Ausfällen der Zuverlässigkeit des Bauelements führen, nachdem diese ihrem Arbeitsumfeld ausgesetzt werden. Risikoscheue Benutzer von Halbleiterbauelementen, wie z.B. bei Automobil-, Militär-, Luftfahrt- und medizinische Anwendungen, fordern Ausfallraten im Bereich von Teilen pro Milliarde (PPB), was deutlich unter dem ist, wo man sich gegenwärtig befindet. Das Erkennen

und die Kontrolle dieser Defekte mit sogenannter latenter Zuverlässigkeit ist der Schlüssel zur Erfüllung dieser Anforderungen der Industrie. Darin besteht eine Notwendigkeit, die Verfahren und Systeme zur Erkennung der Defekte mit latenter Zuverlässigkeit bereitzustellen.

[0005] Die US 2016 / 0 314 578 A1 betrifft Verfahren und Systeme zum Identifizieren von Ausreißern in mehreren Ausformungen einer interessierenden Struktur. Dabei werden Bilder von Ausformungen der interessierenden Struktur an unterschiedlichen Positionen innerhalb eines Die erfasst. Die Positionen liegen zumindest teilweise aperiodisch innerhalb des Die.

[0006] Die US 2009 / 0 299 679 A1 bezieht sich auf das herstellungsbegleitende Testen von Halbleiterchips zum Identifizieren und Aussondern potenziell fehlerhafter Chips. In die Entscheidung über die Aussonderung gehen Kosten weiterer Tests ein. Bewertungskriterien für die Chips werden dynamisch aktualisiert.

[0007] Die US 2015 / 0 221 076 A1 betrifft die Klassifizierung von Defekten auf einem Wafer. Die Klassifizierung stützt sich zumindest teilweise auf Attribute, die einem Defekt auf der Grundlage eines Referenzbildes, welches dem Defekt entspricht, zugewiesen werden.

ZUSAMMENFASSUNG

[0008] Die vorliegende Beschreibung bezieht sich auf ein Durchschnitts-Inline-Testverfahren für Teile. Das Verfahren kann umfassen: das Ausführen der Inline-Inspektion und Inline-Metrologie bei einer Vielzahl von Wafern bei einer Vielzahl von kritischen Schritten bei der Waferherstellung; das Aggregieren von Inspektionsergebnissen der Inline-Inspektion und der Inline-Metrologie unter Verwendung von einem oder mehreren Prozessoren, um eine Vielzahl von aggregierten Prüfergebnissen für die Vielzahl von Wafer zu erhalten; das Identifizieren eines oder mehrerer statistischer Ausreißer unter der Vielzahl von Wafern, die zumindest teilweise auf der Vielzahl von aggregierten Prüfergebnissen der Vielzahl von Wafern basieren; und das Aussteuern des einen oder der mehreren statistischen Ausreißer aus einer Versorgungskette für einen nachgeschalteten Herstellungsprozess, oder das Absondern des einen oder der mehreren statistischen Ausreißer zur weiteren Auswertung, zum Testen oder zum Umwidmen.

[0009] Eine weitere Ausführungsform der vorliegenden Erfindung ist ein Inspektionssystem. Das System kann ein oder mehrere Inspektionswerkzeuge umfassen, die konfiguriert sind, um bei einer Vielzahl von Wafern eine Inline-Inspektion und eine Inline-Metrologie bei einer Vielzahl von kritischen Schritten

bei der Waferherstellung durchzuführen. Das System kann auch einen oder mehrere Prozessoren umfassen, die kommunikativ mit einem oder mehreren Prüfwerkzeugen verbunden sind. Der eine oder die mehreren Prozessoren können ferner konfiguriert sein, um: die erhaltenen Inspektionsergebnisse von einem oder mehreren Inspektionswerkzeugen zu aggregieren, um eine Vielzahl von aggregierten Inspektionsergebnissen für die Vielzahl von Wafern zu erhalten; einen oder mehrere statistische Ausreißer unter der Vielzahl von Wafern zu identifizieren, die zumindest teilweise auf der Vielzahl der aggregierten Prüfergebnisse basieren, die von der Vielzahl von Wafern erhalten wurden; und die einen oder die mehreren statistischen Ausreißer aus einer Versorgungskette für ein nachgeschaltetes Herstellungsverfahren auszusteuern, oder die einen oder die mehreren statistischen Ausreißer zur weiteren Auswertung, zum Testen oder zum Umwidmen auszusondern.

[0010] Eine weitere Ausführungsform der vorliegenden Beschreibung ist auf ein Inspektionssystem gerichtet. Das System kann ein oder mehrere Inspektionswerkzeuge umfassen, die konfiguriert sind, um auf einer Vielzahl von Wafern bei einer Vielzahl von kritischen Schritten bei der Waferherstellung eine Inline-Inspektion und eine Inline-Metrologie auszuführen. Das System kann auch einen oder mehrere Prozessoren umfassen, die kommunikativ mit einem oder mehreren Inspektionswerkzeugen verbunden sind. Der eine oder die mehreren Prozessoren können konfiguriert sein, um ein Inline-Durchschnitts-Testen des Bauteils der Vielzahl von Wafern zu erleichtern. Der eine oder die mehreren Prozessoren können weiterhin konfiguriert sein, um: eine Kontrollgrenze zu erzeugen, um eine Risikotoleranz für einen nachgeschalteten Herstellungsprozess zu definieren, die die Vielzahl von Wafern verwendet; Inspektionsergebnisse, die von dem einen oder den mehreren Inspektionswerkzeugen erhalten werden, zu aggregieren, um eine Vielzahl von aggregierten Prüfergebnissen für die Vielzahl von Wafer zu erhalten; einen oder mehrere statistische Ausreißer zu identifizieren, die die Kontrollgrenze für den nachgeschalteten Herstellungsprozess nicht eingehalten haben, die zumindest teilweise auf der Vielzahl von aggregierten Prüfergebnissen basiert, die von einer Vielzahl von Wafer erhalten wurde; und einen oder mehrere statistische Ausreißer aus einer Versorgungskette für einen nachgeschalteten Herstellungsprozess auszusondern, oder einen oder mehrere statistische Ausreißer zur weiteren Auswertung, zum Testen oder zum Umwidmen auszusondern.

[0011] Es versteht sich, dass sowohl die vorstehende allgemeine Beschreibung und die nachstehende detaillierte Beschreibung beispielhaft und nur erklärend und nicht notwendigerweise einschränkend für die vorliegende Beschreibung ist. Die beige-

fügten Zeichnungen, die in die Beschreibung aufgenommen sind und einen Teil der Beschreibung bilden, veranschaulichen den Gegenstand der Beschreibung. Zusammen dienen die Beschreibung und die Zeichnungen dazu, die Prinzipien der Offenbarung zu erklären.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0012] Die zahlreichen Vorteile der Offenbarung werden von den Fachleuten auf diesem Gebiet unter Bezugnahme auf die beigefügten Figuren besser verstanden, in denen:

Fig. 1 eine Darstellung einer gestapelten Defektkarte ist, die Prüfergebnisse darstellt, die von einem Inline-Fehlerinspektionswerkzeug erhalten wurden, das in Übereinstimmung mit einer Ausführungsform der vorliegenden Offenbarung konfiguriert ist;

Fig. 2 eine Darstellung eines Defekt-Histogramms ist, das von DIES auf einer Vielzahl von Wafern geschaffen wurde, die in Übereinstimmung mit einer Ausführungsform der vorliegenden Offenbarung den gleichen Inline-Inspektionsplan durchlaufen haben;

Fig. 3 eine andere Darstellung des Defekt-Histogramms und einer beispielhaften Ausgabe einer Inline-Inspektionsdefektanalyse ist, die gemäß einer Ausführungsform der vorliegenden Offenbarung konfiguriert ist;

Fig. 4 ein Ablaufdiagramm ist, das eine Ausführungsform eines Verfahrens eines Durchschnitts-Inline-Tests (I-PAT) darstellt, der gemäß einer Ausführungsform der vorliegenden Offenbarung konfiguriert ist; und

Fig. 5 ein Blockdiagramm ist, das ein Inspektionssystem darstellt, das in Übereinstimmung mit Ausführungsbeispielen der vorliegenden Offenbarung konfiguriert ist.

DETAILLIERTE BESCHREIBUNG

[0013] Es wird nun im Detail auf den offenbarten Gegenstand Bezug genommen, der in den beigefügten Zeichnungen dargestellt ist. Die Erfindung ist durch die Ansprüche definiert.

[0014] Ausführungsformen der vorliegenden Offenbarung sind auf Verfahren und Systeme für das Durchschnitts-Inline-Testen und die Erkennung und/oder die Detektion der latenten Zuverlässigkeit der Defekte gerichtet. Defekte mit latenter Zuverlässigkeit beziehen sich auf Defekte, die in einem Bauteil von der Herstellung an vorliegen und die anfänglichen Qualitätstests bestanden haben, aber zu einem vorzeitigen Versagen führen, wenn sie in ihrer Arbeitsumgebung aktiviert werden. Zum Beispiel können Wafern hergestellt und derart verwen-

det werden, um verschiedene Arten von elektronischen Halbleiterkomponenten zu erzeugen. Diese elektronischen Halbleiterkomponenten können dann in dem Feld für verschiedene Zwecke verwendet (beispielsweise können sie in Automobilen oder anderen Arten von Fahrzeugen eingebaut werden, Flugzeuge, militärische, medizinische oder andere Vorrichtungen, die hohe Zuverlässigkeit und niedrigen Feldausfallraten erfordern) und in verschiedenen Umgebungen betrieben werden. Einige dieser elektronischen Halbleiterkomponenten können vorzeitig an einem bestimmten Zeitpunkt in der Zukunft versagen und verursachen somit Zuverlässigkeitsprobleme. Verfahren und Systeme, die in Übereinstimmung mit der vorliegenden Offenbarung konfiguriert sind, sind darauf ausgerichtet, Defekte mit latenter Zuverlässigkeit zu erkennen/detektieren, um risikobehaftete Wafer/DIEs für weitere Tests oder zum Ausschluss aus der Lieferkette zu identifizieren, um die Anzahl der DIEs, die vorzeitig im Feld ausfallen können, zu reduzieren.

[0015] Verfahren und Systeme, die in Übereinstimmung mit der vorliegenden Offenbarung konfiguriert sind, können Durchschnitts-Inline-Tests (I-PAT) nutzen, um die Erkennung von Defekten mit latenter Zuverlässigkeit bereitzustellen. Durchschnitts-Tests (PAT) für Teile sind eine statistisch basierte Methode, um Bauteile mit abnormen Merkmalen (Ausreißer) von den Halbleiterbauteilen, die gemäß den etablierten Richtlinien geliefert werden, auszuschließen (z.B. kann die Automobilindustrie Richtlinien gemäß des Automotive Electronics Council etabliert haben). Die bei PAT verwendeten Testgrenzen können auf Basis für dieses bestimmte Bauteil mit seiner einzigartigen Konstruktion und Verarbeitung auf den elektrischen Testergebnissen basiert sein. Jedes Design des Bauteils und die damit verbundene Verarbeitung kann für jede Testanforderung eine Verteilung der Testergebnisse zeigen, und diese Daten können als Basis für die Festlegung der PAT-Grenzen verwendet werden.

[0016] Studien hinsichtlich der Zuverlässigkeit haben gezeigt, dass Halbleiterbauelemente mit abnormalen elektrischen Eigenschaften tendenziell einen höheren Anteil an der langfristigen Qualität und Zuverlässigkeitsprobleme haben. Insbesondere Geräte, die ursprünglich alle Herstellungstests bestanden haben, die aber im Vergleich zu anderen Bauelementen als Ausreißer in derselben Population oder Los bezeichnet werden konnten, scheitern viel eher im Einsatz im Feld. PAT-Methoden können daher proaktiv diese Ausreißer für das weitere Testen, die Abschätzung oder zum Ausschluss vom Versand der Produktionssendungen identifizieren. Es wird jedoch angemerkt, dass die bestehenden PATs auf elektrisch parametrischen Daten von Proben und Testern basieren, die es im Allgemeinen erlauben, das Herstellungsniveau von einem Teil pro Mil-

lion (PPM) bei der Defektkontrolle in Bezug auf die Zuverlässigkeit zu erreichen, wobei diese jedoch mit dem Erkennen der Zuverlässigkeit latenter Defekte zu kämpfen haben. Die neue Anforderung der Automobilindustrie ist ein Teil pro Milliarde (PPB), was Kontrollniveaus darstellt, die die existierenden PATs nicht leisten können.

[0017] Das Durchschnitts-Inline-Testen (I-PAT) erweitert die PAT-Methodik, indem sie Inspektionsergebnisse berücksichtigt, die durch Inline-Fehlerinspektionswerkzeuge (wie z.B. Breitband-Plasma, Laser-Scanning, Makro, Rückseite und dergleichen) bereitgestellt werden. Studien haben ergeben, dass für ein gut konzipiertes Produkt und ein ausgereiftes Halbleiterherstellungsverfahren die Mehrzahl der Defekte, die latente Zuverlässigkeitsausfälle verursachen können, durch Inline-Defektinspektionswerkzeuge erfasst werden können. Die Komplikation ist, dass es Tausende dieser Defekte auf jedem Wafer sind, während nur ein sehr kleiner Teil von ihnen dazu führt, mögliche Zuverlässigkeitsprobleme zu verursachen. Somit kann die alleinige Verwendung von Inline-Fehlerinspektionstools zur Identifizierung von zu vielen Defekten führen (wie z.B. einige Defekte können in fast jedem DIE gefunden werden), was im Gegenzug zu einer sehr geringen Produktionsausbeute führt (wie z.B. der Verschrottung nahezu jedes DIEs auf dem Wafer, da in fast jedem DIE Defekte vorkommen).

[0018] Es ist daher beabsichtigt, dass in Übereinstimmung mit einigen Ausführungsbeispielen der vorliegenden Offenbarung I-PAT derart konfiguriert ist, dass Daten/Ergebnisse durch eine Kombination von Inline-Fehlerinspektionswerkzeugen, Metrologiewerkzeugen (wie z.B. Überlagerung, Filmdicke, kritische Dimension und dergleichen), Fehleranalyse oder Management-Tools bezüglich der Ausbeute, abschließende Testdaten, elektrische Anlauf-Daten und/oder verschiedene andere Arten von statistischen Daten in Betracht gezogen werden können, um Korrelationen zu finden, die verwendet werden können, um zu verstehen, welche Inline-Defekte eine statistisch höhere Wahrscheinlichkeit zur Bildung von Defekten mit latenter Zuverlässigkeit aufweisen. Ähnlich zu der derzeit bestehenden parametrischen Methodik kann gezeigt werden, dass DIEs mit einer höheren Fehlerhaftigkeit oder Variabilität in der Metrologie, außerhalb der normalen Populationsverteilung, eine höhere Häufigkeit von vorzeitigem Ausfall haben, selbst wenn sie abschließende elektrische Tests bestanden haben. Der Lieferant kann diese Informationen verwenden, um selektiv diese DIEs einer weiteren Auswertung, einem weiteren Testen oder einem Umwidmen zuzuführen oder selektiv diese DIE's von einer Lieferkette für einen nachgeschalteten Fertigungsprozess (wie z.B. für die Automobilindustrie oder ähnliche risikoscheue Anwendungen) auszuschließen.

[0019] Es wird nun allgemein auf die **Fig. 1** und **2** Bezug genommen. **Fig. 1** ist eine Darstellung einer gestapelten Defektkarte 100, die von einem Inline-Fehlerinspektionswerkzeug erhaltene Prüfergebnisse darstellt. Die gestapelte Defektkarte 100 kann eine aggregierte Inspektion darstellen, die von einer Vielzahl von Schichten erhalten wurde. **Fig. 2** ist ein Defekt-Histogramm 200, das von allen DIES auf einer Vielzahl (einer Population) von Wafeln erzeugt werden kann, die den gleichen Inline-Inspektionsplan durchlaufen haben. Es wird in Betracht gezogen, dass statistische Ausreißer dann identifiziert werden können. Diese Ausreißer können von Produktionslieferungen getrennt werden, um weiter zu prüfen, umzuwidmen oder auszusondern, weil es eher wahrscheinlich ist, dass sie beim Einsatz im Feld versagen.

[0020] Wie in **Fig. 2** gezeigt ist, kann die in **Fig. 2** dargestellte y-Achse des beispielhaften Histogramms 200 die Anzahl der gestapelten Defekte oder einige Modifikationen davon darstellen, die auf der Wahrscheinlichkeit, der Defektgröße, dem kritischen Defektindex, und/oder anderen Arten der Defektmessung basieren. Die gestrichelte vertikale Linie 202 kann eine Kontrollgrenze darstellen, die für ein gewisses Toleranzniveau des Risikos steht, das für ein bestimmtes Produkt definiert wurde. Zum Beispiel kann ein elektronisches Halbleiterbauteil, das bei einem wegwerfbaren, nicht-sicherheitskritischen Bauteil verwendet wird, ein relativ höheres Toleranzniveau für das Risiko haben, so dass die Kontrollgrenze 202 mehr in Richtung der rechten Seite des Histogramms 200 positioniert ist, um ein höheres Zuverlässigkeitsrisiko zu tolerieren (und damit weniger potenziell gute DIE's verschrottet). Andererseits kann ein elektronisches Halbleiterbauteil, das in einem nicht wegwerfbaren und sicherheitskritischen Bauteil (wie z.B. einem Automobil) verwendet wird, ein relativ niedrigeres Toleranzniveau für das Risiko haben, so dass die Kontrollgrenze 202 mehr in Richtung der linken Seite des Histogramms 200 positioniert ist, um ein aggressiveres Aussortieren von potenziellen Zuverlässigkeitsdefekten zu erreichen (damit werden mehr potentiell gute DIEs verschrottet).

[0021] Es ist vorgesehen, dass die Kontrollgrenze 202 statisch sein kann. Die Kontrollgrenze 202 kann aber auch so konfiguriert werden, dass sie bei einigen Ausführungsformen dynamisch eingestellt werden kann. Beispielsweise kann die Kontrollgrenze 202 als eine dynamische Grenze für die zulässige Menge an hoch risikoreichen Anomalien pro DIE konfiguriert werden, wobei die Kontrollgrenze 202 für eine unterschiedliche Population von Wafeln, Los von Wafeln oder einer Vielzahl von Losen von Wafeln festgelegt werden kann. Es wird ebenfalls in Betracht gezogen, dass die Anzahl der gestapelten Defekte oder einige Modifikationen davon benutzt

werden, um die Kontrollgrenze 202 lediglich beispielhaft zu setzen, was nicht einschränkend zu verstehen ist. Es ist vorgesehen, dass die verwendeten Kriterien für die Kontrollgrenze 202 und das Identifizieren eines Risiko-DIEs die gestapelte Anzahl der Schichtfehler von der Inspektion mit einer oder mehreren Inspektionsquellen, die Anzahl einzelner kritischer Schichtfehler von der Inspektion, die Population der Defektgröße pro DIE, die Population des Defekttyps pro DIE (wie z.B. entweder durch Nachprüfung oder abgeleitet von Bildattributen), das Sammeln der Defekte nach Attributen (wie z.B. Größe, Polarität, oder andere während der Inspektion abgeleitete Attribute) und/oder bekannte oder vermutete Hotspots, umfassen können, ohne aber darauf beschränkt zu sein.

[0022] Zusätzliche verwendete Kriterien zum Bestimmen der Kontrollgrenze 202 können Defektmenge, Defektgröße, Defekttyp oder der Aussonderungsanteil innerhalb eines bestimmten Bereichs (Defektdichte) oder innerhalb eines definierbaren, sensitiven „Bereichs der Achtsamkeit“, bei dem es bekannt ist oder angenommen wird, dass er kritisch bezüglich der Leistung, der Zuverlässigkeit und der Langlebigkeit ist, sein. Metrologiedaten von Zielen oder DIES, betreffend Overlay-Messungen, die kritischen Dimensionen und/oder die optischen kritischen Dimensionen, Formmessungen, Schichtdicken oder Zusammensetzung der Schichten, Planheit des Wafers oder Topographie des Wafers, spezifischer Widerstand, oder lokalisierte Stressinformation können auch in Betracht gezogen werden, wenn die Kontrollgrenze 202 festgelegt wird.

[0023] Es ist vorgesehen, dass DIES, die eine oder mehrere der oben genannten Kontrollgrenzen 202 verletzen, de facto als „Risiko“ in Betracht gezogen werden (einfach deswegen, da die Population außerhalb der Normalverteilung liegt) und identifiziert und/oder von dem Versenden der Produktion ausgeschlossen werden können, da sie mit größerer Wahrscheinlichkeit im Feld versagen können. Es wird jedoch darauf hingewiesen, dass dieser Ansatz einige Einschränkungen hat. Zum Beispiel erfordert es einen großen (aber handhabbaren) Inspektionsumfang, der durchgeführt werden muss, um wirksam zu sein. Im Allgemeinen gilt, je mehr an Inspektion durchgeführt wird, desto größer ist die Wahrscheinlichkeit, dass Defekte mit latenter Zuverlässigkeit identifiziert werden. Jedoch kann es in bestimmten Situationen möglich sein, dass ein großer Teil dieser Daten (z.B. bestimmte Schritte, Defekttypen, Defektgrößen oder ähnliches) in dieser Hinsicht wenig Wert bieten können. Zusätzlich kann ein statistischer Ansatz unweigerlich in einem bestimmten Maß zu einem Alpha-Risiko (das Risiko des Aussonderns von guten DIES, auch bekannt als „overkill“) und einem Beta-Risiko (das Risiko des Versagens des

Aussonderns von schlechten DIEs, auch bekannt als „underkill“) führen.

[0024] Beide, Underkill und Overkill, sind teuer und sollten, wenn möglich, minimiert werden. In einigen Ausführungsformen kann es möglich sein, die Last der Inspektion zu optimieren und das Vertrauen in Parameter für den Ausschluss oder die Quarantäne zu erhöhen, wenn Datenverarbeitungsalgorithmen angewendet werden, um die Daten der Inline-Inspektion mit den Ergebnissen der Qualitätskontrolldaten der Zuverlässigkeitsprüfung des Anlaufs, der Rückläufer aus dem Feld oder eine Kombination davon zu korrelieren. Der Zweck solcher Datenverarbeitungsalgorithmen ist, diese Prüfschritte, Defekttypen, Defektgrößen und/oder Metrologieparameter zu identifizieren, um die am ehesten umsetzbaren Daten zur Verfügung zu stellen, anhand denen statistische Ausreißer am effektivsten überprüft werden können. Es wird in Betracht gezogen, dass dieser Ansatz helfen kann, Prüfschritte mit geringer Korrelation zu beseitigen und die allgemeine Korrelation zu verbessern, was im Gegenzug den Overkill oder Underkill reduziert.

[0025] Fig. 3 ist eine Darstellung einer beispielhaften Implementierung von I-PAT, das in Übereinstimmung mit dem oben beschriebenen Verfahren konfiguriert wurde. Wie in Fig. 3 dargestellt, kann eine gestapelte Defektkarte eines Wafers, die von mehreren kritischen Prozessschritten (z.B. 10) gesammelt wurde, gegenüber einem Wahrscheinlichkeitshistogramm 300 latenter Defekte analysiert werden. Wie zuvor beschrieben, kann eine Wahrscheinlichkeit latenter Defekte für jedes DIE auf dem Wafer auf Basis der Anzahl der gestapelten Defekte berechnet werden, die auf der Größe, grober Klassifizierung nach Bins, der Lage der Defekte, bezüglich dem berücksichtigten Bereich, der Wichtung der Schichtschritte, und/oder anderen Arten der Defektmessung basiert. Es ist zu beachten, dass einige dieser DIEs als statistische Ausreißer (wie z.B. basierend auf einem Vergleich gegenüber einer festgelegten Kontrollgrenze 302, wie beispielsweise als Mittel von drei Standardabweichungen oder dergleichen) identifiziert werden können. Diese statistischen Ausreißer können in einer Ausgabedatei identifiziert werden (wie z.B. eine Datei einer Waferkarte, die Daten enthält, die den Ort dieser DIEs angeben) oder physikalisch als defekt markiert oder auf andere Weise für eine Auswertung, eine Umwidmung oder einer Aussonderung aus der Lieferkette aussortiert werden, was dazu beiträgt, dass die Zahl der Wafer/DIEs reduziert wird, die vorzeitig im Feld versagen.

[0026] Fig. 4 ist ein Ablaufdiagramm, das eine Ausführungsform eines Verfahrens 400 zum Durchschnitts-Inline-Testen (I-PAT) darstellt, das in Übereinstimmung mit der vorliegenden Offenbarung konfiguriert ist. Wie in Fig. 4 gezeigt ist, kann ein

Waferproduzent die Identifizierung des Ausgangsmaterials auswählen, das letztendlich dem anfänglichen Zuverlässigkeitstest (Schritt 402) unterzogen wird. Der Waferproduzent kann auch wählen, ob eine Inspektion und eine Metrologie bei allen Wafers an jedem kritischen Schritt (wie z.B. 100% Inspektion und Metrologie) während des Herstellungsprozesses (Schritt 404) durchgeführt werden soll. Es wird in Betracht gezogen, dass Inspektionsrezepte verwendet werden können, um alle möglichen Defekte zu finden. In einigen Ausführungsformen können Roh-Defektdaten eingezogen und für die nachfolgende Analyse unter Verwendung einer oder mehrerer Datenbanken oder Datenspeichergeräte aufgezeichnet werden.

[0027] Nach der Verarbeitung und dem abschließenden Test durchlaufen alle DIEs einen Zuverlässigkeitstest (manchmal als anfänglich burn-in bezeichnet, das heißt ein Verfahren, bei dem Komponenten eines Systems erprobt werden, bevor sie in Betrieb genommen werden), um Zuverlässigkeitsausfälle (Schritt 406) zu identifizieren. Zusätzlich und/oder alternativ kann eine physische Versagensanalyse und eine Hit-back-Analyse für alle Zuverlässigkeitsausfälle (wie z.B. tatsächlich bei Rückläufern aus dem Feld aufgetreten) durchgeführt werden, um Zuverlässigkeitsausfälle mit Inline-Fehlerdaten (Schritt 408) zu korrelieren. Die sich ergebenden Korrelationen können dann bei Schritt 410 benutzt werden, um die kritischsten Schichten, die Defekttypen, die Defektpositionen, den Größengrenzwert, die Anforderungen an die Empfindlichkeit und/oder die Inspektionswerkzeuge zu identifizieren. Die Informationen, die in Schritt 410 erhalten wurden, können verwendet werden, um eine Implementierungsstrategie (Schritt 412) für eine großvolumige Fertigung (HVM) einzurichten. Es wird in Betracht gezogen, dass eine solche Strategie noch eine nicht-diskretionäre Inspektion (wie z.B. 100% Inspektion und Metrologie, wie im Schritt 404 fortgeführt) erfordert, aber sie kann an einem reduzierten Satz von Schichten durchgeführt werden.

[0028] Die im Schritt 410 erhaltene Information kann auch im Schritt 414 verwendet werden, um zu helfen, die alpha/beta Kurven darzulegen, so dass der Waferproduzent bestimmen kann, ob (und/oder wie) die zuvor beschriebenen Kontrollgrenze(n), anzupassen sind. Es ist vorgesehen, dass der Waferproduzent die Schritte 402 bis 414 auf einer kontinuierlichen Basis wiederholen kann, um die Verfeinerung der Inspektionsstrategie für eine höchste Korrelation zu den geringsten Kosten zur Verfügung zu stellen. Es ist auch vorgesehen, dass bei wachsender kumulativer Datenmenge Datenverarbeitungsalgorithmen verwendet werden können, um insgesamt die Korrelation und weiter die Inspektionsgenauigkeit zu verbessern.

[0029] Wie aus dem obigen ersichtlich ist, stellt das Verfahren 400 des Durchschnitts-Inline-Testen (I-PAT), wie vorstehend beschrieben, eine Integration der Inline-Inspektion und der Durchschnittstests der Bauteile dar. Das auf diese Weise konfigurierte I-PAT-Verfahren 400 bietet im Vergleich zu bestehenden Prüftechniken ein höheres Maß an Kontrolle für Defekte mit latenter Zuverlässigkeit. Es wird in Betracht gezogen, dass das I-PAT Verfahren 400 alle Vorteile von vielen Inline-Inspektion- und Inline-Metrologie-Attributen in Anspruch nehmen kann, um latente Defekte zu identifizieren, die sonst die Fertigungsanlage/Fertigungsort verlassen können. Darüber hinaus ist das I-PAT Verfahren 400 dahingehend flexibel, dass es Halbleiterproduzenten (und Komponentenherstellern) ermöglicht, das Niveau der Kontrolle einzustellen, um das gewünschte Gleichgewicht zwischen Implementierungskosten und der Verringerung der latenten Zuverlässigkeit der Defekte zu erzielen.

[0030] In Fig. 5 ist ein Blockdiagramm eines Inspektionssystems 500 dargestellt, das in Übereinstimmung mit Ausführungsformen der gezeigten vorliegenden Offenbarung konfiguriert ist. Das Inspektionssystem 500 kann ein oder mehrere Inline-Fehlerinspektionswerkzeuge 502 umfassen, die kommunikativ mit einem oder mehreren Computerprozessoren 504 gekoppelt sind. Das Inline-Fehlerinspektionswerkzeug(e) 502 kann derart konfiguriert sein, dass eine Vielzahl von Schichten auf einer Vielzahl von Wafern 506 unter Verwendung verschiedener Inline-Inspektionstechniken inspiziert werden kann. Die Inline-Defektinspektion kann durch Anwendung einiger Defekterkennungsalgorithmen und/oder Verfahren auf die von den Wafern erhaltenen Bilder durchgeführt werden. Der Fehlererkennungsalgorithmus und/oder das Verfahren kann jeden aus dem Stand der Technik bekannten und geeigneten Algorithmus und/oder Verfahren verwenden. Beispielsweise können die Prozessoren 504 einige der erfassten Merkmale quantifizieren und sie mit einem Schwellenwert vergleichen. Jede Ausgabe, die Werte über dem Schwellenwert aufweist, kann als potentieller Defekt identifiziert werden, während jede Ausgabe, die Werte unter dem Schwellenwert aufweist, nicht als ein potenzieller Defekt identifiziert werden kann. In einem anderen Beispiel können die Prozessoren 504 derart konfiguriert sein, dass die erhaltenen Ergebnisse an ein Speichermedium 508 mit oder ohne Durchführung der Fehlererkennung der Ausgabe gesendet werden.

[0031] Die Prozessoren 504 können auch derart konfiguriert sein, dass sie die Inspektionsergebnisse von dem Inline-Fehlerinspektionswerkzeug 502 erhalten und die Inspektionsergebnisse aggregieren, um eine Vielzahl von aggregierten Ergebnissen für die Vielzahl von Wafern zu erhalten. Die Prozessoren 504 können dann verwendet werden, um beim

Bestimmen einer oder mehrerer Kontrollgrenzen behilflich zu sein, die dazu verwendet werden können, um beim Identifizieren der DIES zu helfen, die de facto als „at-Risk“ betrachtet werden und um sie für die weitere Beurteilung zu identifizieren oder diese DIES von dem Versenden aus der Produktion heraus auszuschließen, weil sie eher im Feld versagen können. Die Prozessoren 504 können ferner derart konfiguriert sein, dass sie Qualitätskontrolldaten von Werkzeugen 510 des anfänglichen (burn-in) Zuverlässigkeitstests und/oder von Rückläufern 512 aus dem Feld empfangen. Die Prozessoren 504 können die Daten, die von den Werkzeugen 510 des anfänglichen (burn-in) Zuverlässigkeitstests und/oder Rückläufern 512 aus dem Feld empfangen wurden, zusammen mit den Daten von den Inline-Inspektionswerkzeugen 502 für die Defekte verarbeiten, um die Daten der Inline-Inspektion mit den Daten aus den Werkzeugen 510 der anfänglichen (burn-in) Zuverlässigkeitstests oder der Rückläufer 512 aus dem Feld zu korrelieren. Wie bereits erwähnt, ist Zweck des Durchführens dieser Datenkorrelation zum Identifizieren beizutragen, welche Inspektionsschritte, Defekttypen, Defektgrößen und/oder Metrologieparameter höchstwahrscheinlich verwertbare Daten zur Verfügung stellen, mit denen statistische Ausreißer am wahrscheinlichsten wirksam ausgesiebt werden können. Es ist vorgesehen, dass dieser Korrelationsprozess helfen kann, um Prüfschritte mit niedriger Korrelation zu disqualifizieren/zu beseitigen und die allumfassende Korrelation zu verbessern, was wiederum den Overkill und den Underkill reduziert. In einigen Ausführungsformen, bei denen Wafer/DIES identifiziert wurden, die latente Zuverlässigkeitsprobleme haben, können diese auf einer oder mehreren Anzeigeeinrichtungen gemeldet werden. Alternativ können Wafer/DIES, bei denen latente Zuverlässigkeitsprobleme identifiziert wurden, als defekt identifiziert oder physisch als defekt markiert werden oder anderweitig von weiterer Auswertung, einem Umwidmen oder von dem Eintritt in die Lieferkette ausgeschlossen werden, um dazu beizutragen, dass die Anzahl von Wafern/DIES reduziert wird, die im Feld vorzeitig versagen.

[0032] Es versteht sich, dass jeder des hierin beschriebenen Prozessors / der hierin beschrieben Prozessoren verschiedene Formen, einschließlich eines Personalcomputersystems, Bildcomputer, Mainframe-Computersystem, einer Workstation, ein Netzwerkgerät, ein Internet-Gerät oder ein anderes Gerät, annehmen kann. Im Allgemeinen kann der Begriff „Computersystem“ breit definiert werden, um jede beliebige Vorrichtung zu umfassen, die einen oder mehrere Prozessoren besitzt, die Befehle von einem Speichermedium ausführt. Das Computer-Untersystem / die Computer-Untersysteme oder das System / die Systeme können auch jeden geeigneten Prozessor, der im Stand der Technik bekannt ist, umfassen, wie beispielsweise einen Parallel-Pro-

zessor. Zusätzlich können das Computer-Untersystem / die Computer-Untersysteme oder das System / die Systeme eine Computerplattform mit einer Hochgeschwindigkeitsverarbeitung und Software enthalten, die entweder als ein eigenständiges oder ein vernetztes Werkzeug ausgebildet sein kann.

[0033] Wenn ein Computersystem mehr als ein Computer-Subsystem umfasst, dann können die anderen Computer-Subsysteme miteinander gekoppelt werden, so dass Bilder, Daten, Informationen, Anweisungen, etc., zwischen den Computer-Subsystemen, wie hier weiter beschrieben, gesendet werden können. Zum Beispiel kann ein Computer-Subsystem mit einem zusätzlichen Computer-Untersystem / zusätzlichen Computer-Untersystemen mittels jedem beliebigen und geeigneten Übertragungsmedium gekoppelt sein, das jedes geeignete verdrahtete und/oder drahtlose, aus dem Stand der Technik bekannte Übertragungsmedium umfassen kann. Zwei oder mehr solcher Computer-Subsysteme können auch wirksam durch ein gemeinsames Computer-lesbares Speichermedium gekoppelt werden.

[0034] Es wird in Betracht gezogen, dass eine zusätzliche Ausführungsform der vorliegenden Erfindung ein nichtflüchtiges computerlesbares Medium betrifft, das Programmanweisungen speichert, die auf einem Computersystem ausführbar sind, um ein wie oben beschriebenes computer-implementiertes Verfahren zur Zielplatzierung durchzuführen. Das computerlesbare Medium kann ein Speichermedium, wie beispielsweise eine magnetische oder optische Platte, ein Magnetband oder irgendein anderes geeignetes, nicht-flüchtiges computerlesbares Medium, das auf dem Fachgebiet bekannt ist, sein. Die Programmanweisungen können unter anderem in irgendeiner von verschiedenen Weisen, einschließlich prozedurbasierten Techniken, komponentenbasierten Techniken und/oder objektorientierten Techniken implementiert werden. Zum Beispiel können die Programmanweisungen unter Verwendung von ActiveX-Steuerelementen, C++ Objekten, Java Beans, Microsoft Foundation Classes („MFC“), SSE (Streaming SIMD Extension) oder anderer Technologien oder Methoden, wie gewünscht implementiert werden.

[0035] Es ist auch verständlich, obwohl sich die obigen Beispiele auf Wafer beziehen, können in Zusammenhang mit der gegenwärtigen Offenbarung beschriebene Systeme und Verfahren gemäß der vorliegenden Erfindung auch auf andere Typen von polierten Platten, ohne von dem Geist und Umfang der vorliegenden Offenbarung abzuweichen, angewendet werden. Der Begriff Wafer, wie er in der vorliegenden Offenbarung verwendet wird, kann eine dünne Scheibe aus Halbleitermaterial, das bei der Herstellung von integrierten Schaltungen und ande-

ren Bauelementen, sowie andere dünne polierte Platten, wie beispielsweise Substraten für Magnetplatten, Endmaßen und dergleichen, umfassen.

[0036] Es ist vorgesehen, dass in der vorliegenden Offenbarung beschriebene Verfahren und Systeme als eigenständige Produkte oder als Komponenten von verschiedenen Metrologiewerkzeugen für Wafer, Inspektionswerkzeugen und/oder Werkzeuge zur Hotspot-Entdeckung implementiert werden können. Es versteht sich, dass die spezifische Reihenfolge oder Hierarchie der Schritte in den offenbarten Verfahren lediglich Beispiele für beispielhafte Ansätze sind. Basierend auf Designvorlieben, ist es selbstverständlich, dass die spezifische Reihenfolge oder Hierarchie der Schritte in dem Verfahren umgeordnet werden können, wobei man innerhalb des Umfangs und des Geistes der Erfindung verbleibt. Es ist auch zu verstehen, dass die in den verschiedenen Figuren separat dargestellten Blöcke lediglich zu illustrativen Zwecken so dargestellt werden. Es wird in Betracht gezogen, dass die in den verschiedenen Figuren separat dargestellten Blöcke auch als separate (und kommunikativ gekoppelte) Vorrichtungen und/oder Verarbeitungseinheiten implementiert werden können, die auch zusammen integriert sein können, ohne den Umfang und den Geist der gegenwärtigen Offenbarung zu verlassen.

Patentansprüche

1. Ein Durchschnitts-Inline-Testverfahren für Bauteile, umfasst:
Durchführen einer Inline-Inspektion und Inline-Metrologie mit einem Inline-Inspektionswerkzeug (502) an einer Vielzahl von Wafern (506) bei einer Vielzahl von kritischen Schritten während der Produktion von Wafern;
Aggregieren der von der Inline-Inspektion und Inline-Metrologie erhaltenen Prüfergebnisse, wobei ein oder mehrere Prozessoren (504) verwendet werden, um eine Vielzahl von aggregierten Prüfergebnissen für die Vielzahl von Wafern (506) zu erhalten;
Identifizieren, mit dem einen oder den mehreren Prozessoren (504), eines oder mehrerer statistischer Ausreißer unter der Vielzahl von Wafern (506), zumindest teilweise basierend auf der Vielzahl von aggregierten Prüfergebnissen, die von der Vielzahl der Wafer (506) erhalten wurden, und auf einer Korrelation einer Zuverlässigkeitsprüfung eines oder mehrerer Bauteile, die aus einem oder mehreren Wafern (506) aus einer Vielzahl früher hergestellter Wafer (506) gebildet wurden, und aggregierten Prüfergebnissen, die für die Vielzahl der früher hergestellten Wafer (506) erhalten wurden; und
selektives Aussondern, basierend auf einem ausgewählten Risiko-Toleranzniveau, mit dem einem oder den mehreren Prozessoren (504), eines Teils des einen oder der mehreren statistischen Ausreißer

der Vielzahl von Wafern (506) aus einer Versorgungskette für einen nachgeschalteten Herstellungsprozess, wenn sich der eine oder die mehreren statistischen Ausreißer in einem betriebsfähigen Bauteil befinden; und
Melden des selektiv ausgesonderten Teils des einen oder der mehreren statistischen Ausreißer der Vielzahl von Wafern (506) zur Markierung.

2. Verfahren nach Anspruch 1, wobei der eine oder die mehreren statistischen Ausreißer einen oder mehrere DIES, die in einem oder mehreren Wafern (506) aus der Vielzahl von Wafern (506) enthalten sind, umfassen.

3. Verfahren nach Anspruch 1, weiterhin umfassend:
Absondern des einen oder der mehreren statistischen und ausgesteuerten Ausreißer aus der Versorgungskette, um damit eine weitere Auswertung, ein Testen oder ein Umwidmen durchzuführen.

4. Verfahren nach Anspruch 1, wobei das selektive Aussondern basierend auf einem ausgewählten Risiko-Toleranzniveau eines Teils des einen oder der mehreren statistischen Ausreißer der Vielzahl von Wafern (506) aus einer Versorgungskette für einen nachgeschalteten Herstellungsprozess, wenn sich der eine oder die mehreren statistischen Ausreißer in einem betriebsfähigen Bauteil befinden, ferner umfasst:
eine Festlegung einer Kontrollgrenze, um ein ausgewähltes Risiko-Toleranzniveau für den nachgeschalteten Herstellungsprozess zu definieren.

5. Verfahren nach Anspruch 4, wobei die Kontrollgrenze derart gestaltet ist, dass diese zumindest teilweise auf einer Anzahl von Fehlern in den aggregierten Prüfergebnissen für die Vielzahl von Wafern (506) basiert.

6. Verfahren nach Anspruch 4, wobei die bereitgestellte Kontrollgrenze zumindest teilweise basiert auf: einer aggregierten Fehlerzahl pro DIE, die auf der Grundlage der Inline-Inspektion bestimmt wurde; einer einzigen Defektzählung der kritischen Schicht pro DIE, die auf der Grundlage der Inline-Inspektion bestimmt wurde; einer Population der Fehlergröße pro DIE, einer Population des Fehlertyps pro DIE, der Fehlermenge, der Defektgröße, dem Ausschussverhältnis innerhalb eines definierbaren Bereichs, der Overlaymessung, der kritischen Dimension, der optischen kritischen Dimension, der Formmessung, der Filmdicken, der Planheit des Wafers, dem Widerstand des Wafers, oder dem lokalen Waferstress.

7. Verfahren nach Anspruch 1, weiterhin umfassend:
Durchführen einer Zuverlässigkeitsprüfung an der

Vielzahl von Wafern (506) nach der Waferherstellung; und
Korrelieren der Ergebnisse der Zuverlässigkeitsprüfung der Vielzahl von Wafern (500) und der Vielzahl der aggregierten Prüfergebnisse der Vielzahl von Wafern (506).

8. Verfahren nach Anspruch 7, weiterhin umfassend:
Durchführen der Fehleranalyse auf einem oder mehreren DIES, die bei einem oder mehreren fehlerhaften Bauelementen gefunden wurden; und
Korrelieren der Ergebnisse der Fehleranalyse und der Vielzahl der aggregierten Prüfergebnisse für die Vielzahl der Wafer (506).

9. Ein System (500), umfasst:
ein oder mehrere Inspektionswerkzeuge (502), die zur Durchführung von Inline-Inspektion und Inline-Metrologie an einer Vielzahl von Wafern (506) bei einer Vielzahl von kritischen Schritten während der Produktion von Wafern geeignet sind; und
einen oder mehrere Prozessoren (504), die kommunikativ mit dem einen oder den mehreren Inspektionswerkzeugen (502) verbunden sind, wobei der eine oder die mehreren Prozessoren (504) derart konfiguriert sind, um ein Inline-Durchschnitts-Testen des Bauteils der Vielzahl von Wafern (506) zu ermöglichen und der eine oder die mehreren Prozessoren (504) ferner konfiguriert sind, um:
Prüfergebnisse aus dem einen oder den mehreren Inspektionswerkzeugen (502) zu aggregieren, um eine Vielzahl von aggregierten Prüfergebnissen für die Vielzahl von Wafern (506) zu erhalten;
einen oder mehrere statistische Ausreißer aus der Vielzahl von Wafern (506) zu identifizieren, zumindest teilweise auf der Vielzahl von aggregierten Prüfergebnissen für die Vielzahl von Wafern (506) basierend und auf einer Korrelation einer Zuverlässigkeitsprüfung eines oder mehrerer Bauteile, die aus einem oder mehreren Wafern (506) aus einer Vielzahl früher hergestellter Wafer (506) gebildet wurden, und aggregierten Prüfergebnissen, die für die Vielzahl der früher hergestellten Wafer (506) erhalten wurden; und
selektives Aussondern, basierend auf einem ausgewählten Risiko-Toleranzniveau, eines Teils des einen oder der mehreren statistischen Ausreißer der Vielzahl von Wafern (506) aus einer Versorgungskette für einen nachgeschalteten Herstellungsprozess, wenn sich der eine oder die mehreren statistischen Ausreißer in einem betriebsfähigen Bauteil befinden; und
Melden des selektiv ausgesonderten Teils des einen oder der mehreren statistischen Ausreißer der Vielzahl von Wafern (506) zur Markierung.

10. System (500) nach Anspruch 9, wobei der eine oder die mehreren statistischen Ausreißer einen oder mehrere DIES, die in einem oder mehre-

ren Wafern (506) aus der Vielzahl von Wafern (506) enthalten sind, umfassen.

11. System (500) nach Anspruch 9, wobei der eine oder die mehreren Prozessoren (504) ferner konfiguriert sind, um:

den einen oder die mehreren statistischen Ausreißer aus der Versorgungskette abzusondern, um diese für eine weitere Auswertung, ein Testen oder ein Umwidmen zu verwenden.

12. System (500) nach Anspruch 9, wobei der eine oder die mehreren Prozessoren (504) ferner derart konfiguriert sind, um:

eine Kontrollgrenze für ein Risiko-Toleranzniveau zu erzeugen, das für den nachgeschalteten Herstellungsprozess definiert ist.

13. System (500) nach Anspruch 12, wobei der eine oder die mehreren Prozessoren (504) derart konfiguriert sind, um die Kontrollgrenze zu erzeugen, die zumindest teilweise auf einer Anzahl von Fehlern in den aggregierten Prüfergebnissen für die Vielzahl von Wafern (506) basiert.

14. System (500) nach Anspruch 12, wobei der eine oder die mehreren Prozessoren (504) derart konfiguriert sind, um die Kontrollgrenze zu erzeugen, die zumindest teilweise basiert auf: einer aggregierten Fehlerzahl pro DIE, die auf der Grundlage der Inline-Inspektion bestimmt wurde; einer einzigen Defektzählung der kritischen Schicht pro DIE, die auf der Grundlage der Inline-Inspektion bestimmt wurde; einer Population der Fehlergröße pro DIE, einer Population des Fehlertyps pro DIE, der Fehlermenge, der Defektgröße, dem Ausschussverhältnis innerhalb eines definierbaren Bereichs, der Overlaymessung, der kritischen Dimension, der optischen kritischen Dimension, der Formmessung, der Filmdicken, der Planheit des Wafers, dem Widerstand des Wafers, oder dem lokalen Waferstress.

15. System (500) nach Anspruch 9, wobei der eine oder die mehreren Prozessoren (504) ferner konfiguriert sind, um:

eine Zuverlässigkeitsprüfung der Vielzahl von Wafern (506) nach der Waferherstellung durchzuführen; und

die Ergebnisse der Zuverlässigkeitsprüfung der Vielzahl von Wafern (506) und der Vielzahl von erhaltenen, aggregierten Prüfergebnissen für die Vielzahl von Wafern (506) zu korrelieren.

16. System (500) nach Anspruch 15, wobei der eine oder die mehreren Prozessoren (504) ferner konfiguriert sind, um:

eine Fehleranalyse auf einem oder mehreren DIES durchzuführen, die bei einem oder mehreren fehlerhaften Bauelementen gefunden wurden; und

die Ergebnisse der Fehleranalyse und der Vielzahl von aggregierten Prüfergebnissen für die Vielzahl von Wafern (506) zu korrelieren.

17. Ein System (500), umfassend:

ein oder mehrere Inspektionswerkzeuge (502), die zur Durchführung von Inline-Inspektion und Inline-Metrologie an einer Vielzahl von Wafern (506) bei einer Vielzahl von kritischen Schritten während der Produktion von Wafern geeignet sind; und einen oder mehrere Prozessoren (504), die kommunikativ mit dem einen oder den mehreren Inspektionswerkzeugen (502) verbunden sind, wobei der eine oder die mehreren Prozessoren (504) derart konfiguriert sind, dass Durchschnitts-Inline-Testen von Bauteilen der Vielzahl von Wafern (506) zu ermöglichen und der eine oder die mehreren Prozessoren (504) ferner konfiguriert sind, um:

eine Kontrollgrenze für ein ausgewähltes Risiko-Toleranzniveau zu erzeugen, das für den nachgeschalteten Herstellungsprozess definiert ist, der die Vielzahl der Wafer (506) verwendet;

Prüfergebnisse aus dem einen oder den mehreren Inspektionswerkzeugen (502) zu aggregieren, um eine Vielzahl von aggregierten Prüfergebnissen für die Vielzahl von Wafern (506) zu erhalten;

einen oder mehrere statistische Ausreißer zu identifizieren, die nicht der für den nachgeschalteten Herstellungsprozess festgelegten Kontrollgrenze genügen, zumindest teilweise basierend auf der Vielzahl von aggregierten Prüfergebnissen, die für die Vielzahl von Wafern (506) erhalten wurden, und auf einer Korrelation einer Zuverlässigkeitsprüfung eines oder mehrerer Bauteile, die aus einem oder mehreren Wafern (506) aus einer Vielzahl früher hergestellter Wafer (506) gebildet wurden, und aggregierten Prüfergebnissen, die für die Vielzahl der früher hergestellten Wafer (506) erhalten wurden;

selektives Aussondern, basierend auf einem ausgewählten Risiko-Toleranzniveau, eines Teils des einen oder der mehreren statistischen Ausreißer der Vielzahl von Wafern (506) aus einer Versorgungskette für einen nachgeschalteten Herstellungsprozess, wenn sich der eine oder die mehreren statistischen Ausreißer in einem betriebsfähigen Bauteil befinden; und

Melden des selektiv ausgesonderten Teils des einen oder der mehreren statistischen Ausreißer der Vielzahl von Wafern (506) zur Markierung.

18. System (500) nach Anspruch 17, wobei der eine oder die mehreren Prozessoren (504) ferner konfiguriert sind, um:

den einen oder die mehreren statistischen Ausreißer aus der Versorgungskette abzusondern, um diese für eine weitere Auswertung, ein Testen oder ein Umwidmen zu verwenden.

19. System (500) nach Anspruch 17, wobei der eine oder die mehreren Prozessoren (504) ferner konfiguriert sind, um:
eine Zuverlässigkeitsprüfung der Vielzahl von Wafern (506) nach der Waferherstellung durchzuführen; und
die Ergebnisse der Zuverlässigkeitsprüfung der Vielzahl von Wafern (506) und der Vielzahl von erhaltenen, aggregierten Prüfergebnissen für die Vielzahl von Wafer (506) zu korrelieren.

20. System (500) nach Anspruch 19, wobei der eine oder die mehreren Prozessoren (504) ferner konfiguriert sind, um:
eine Fehleranalyse auf einem oder mehreren DIES durchzuführen, die bei einem oder mehreren fehlerhaften Bauelementen gefunden wurden; und
die Ergebnisse der Fehleranalyse und der Vielzahl von aggregierten Prüfergebnissen für die Vielzahl von Wafer (506) zu korrelieren.

Es folgen 5 Seiten Zeichnungen

Anhängende Zeichnungen

Erzeugen eine gestapelten Defektkarte eines DIES, indem die Defekte von mehreren Inline-Inspektionsschritten zusammengeführt werden

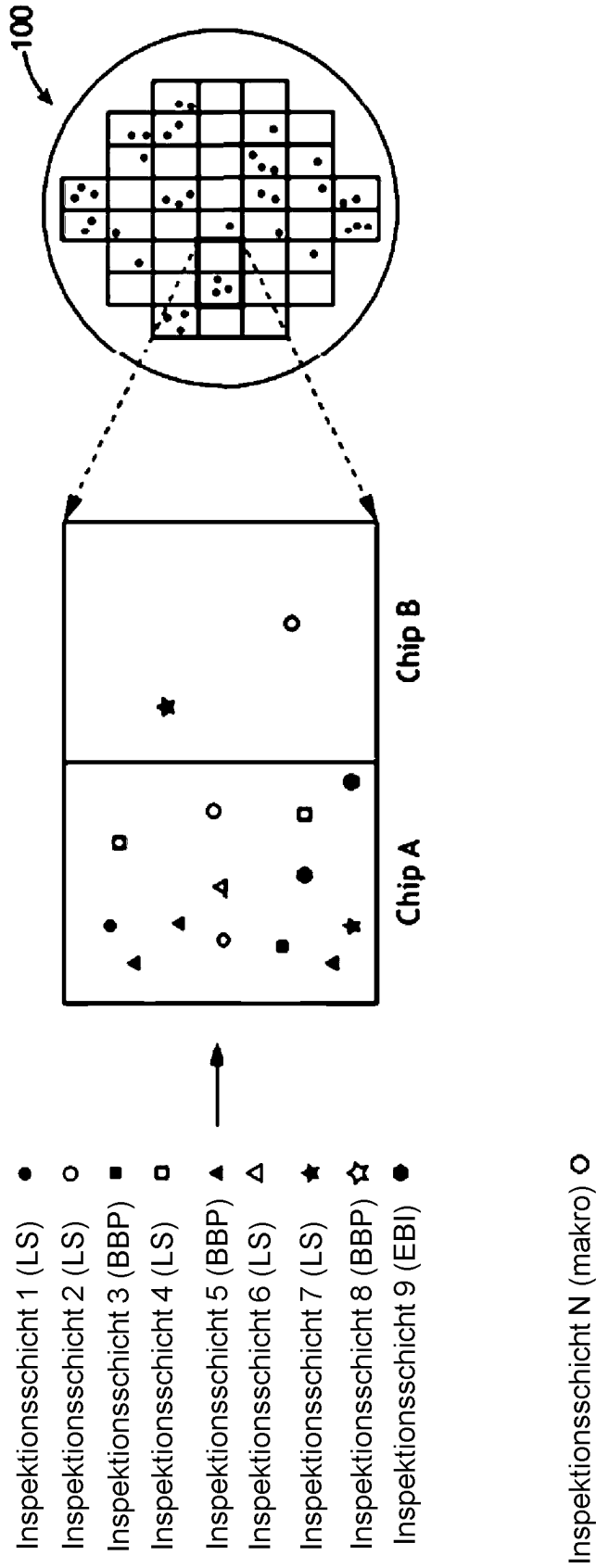


FIG. 1

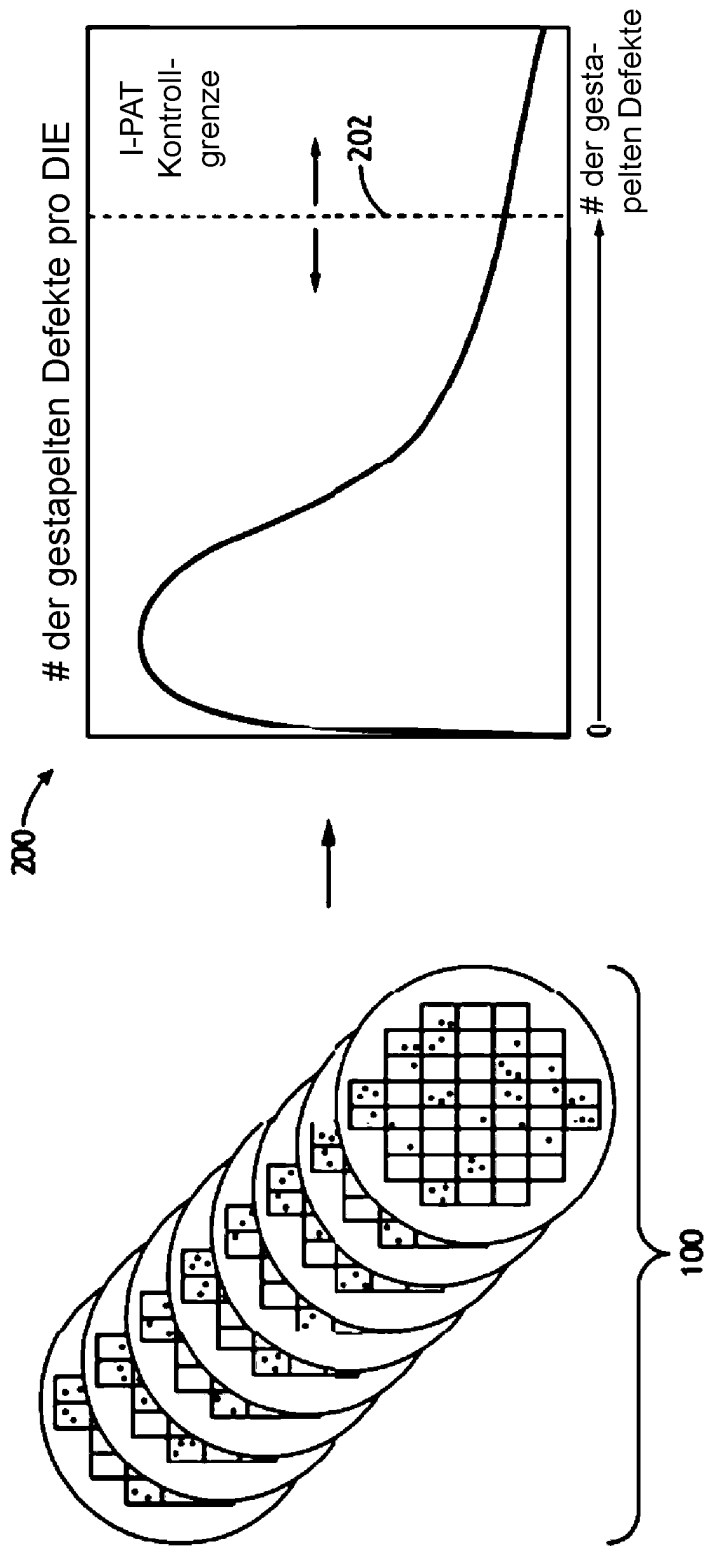


FIG. 2

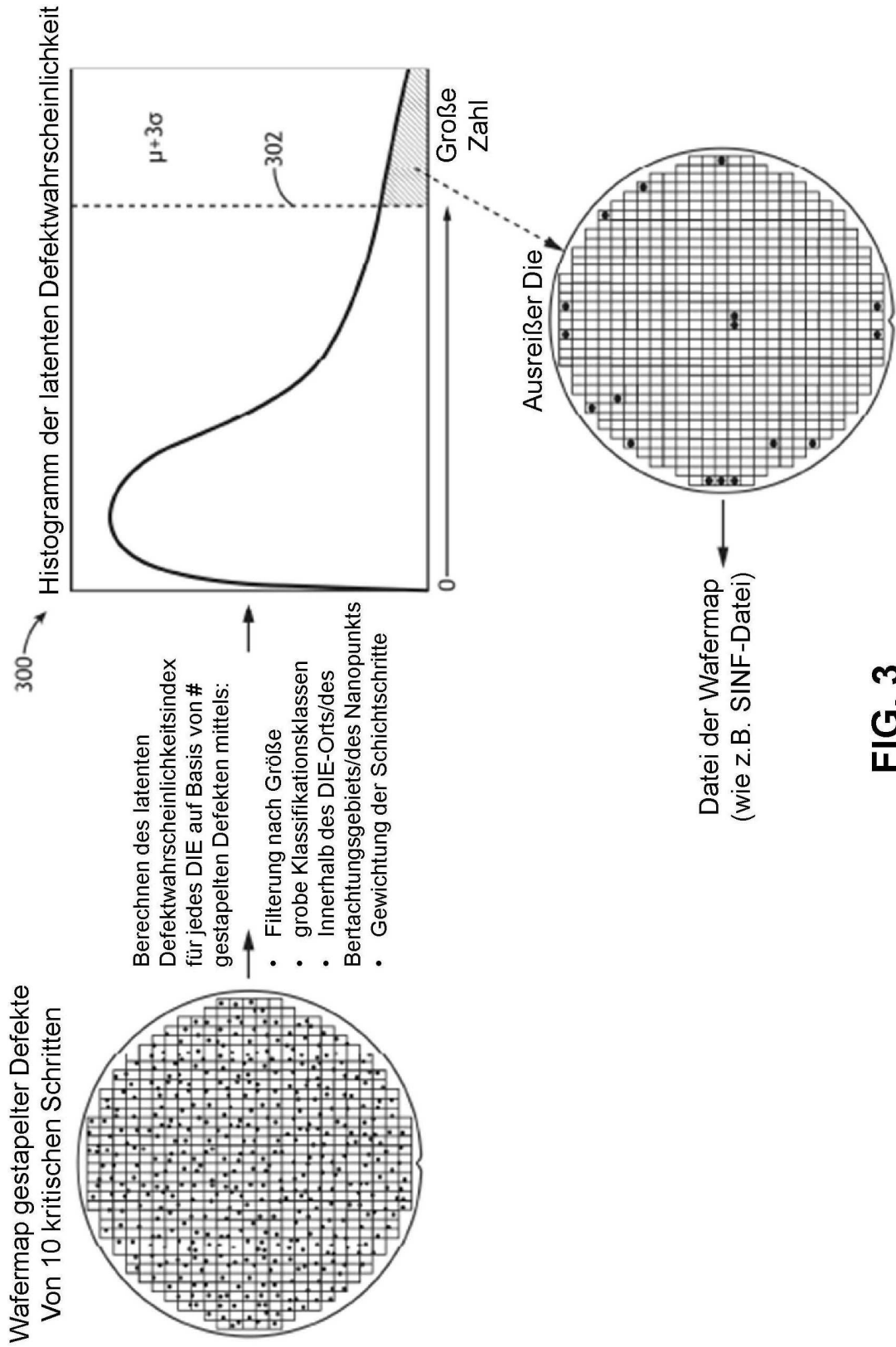


FIG. 3

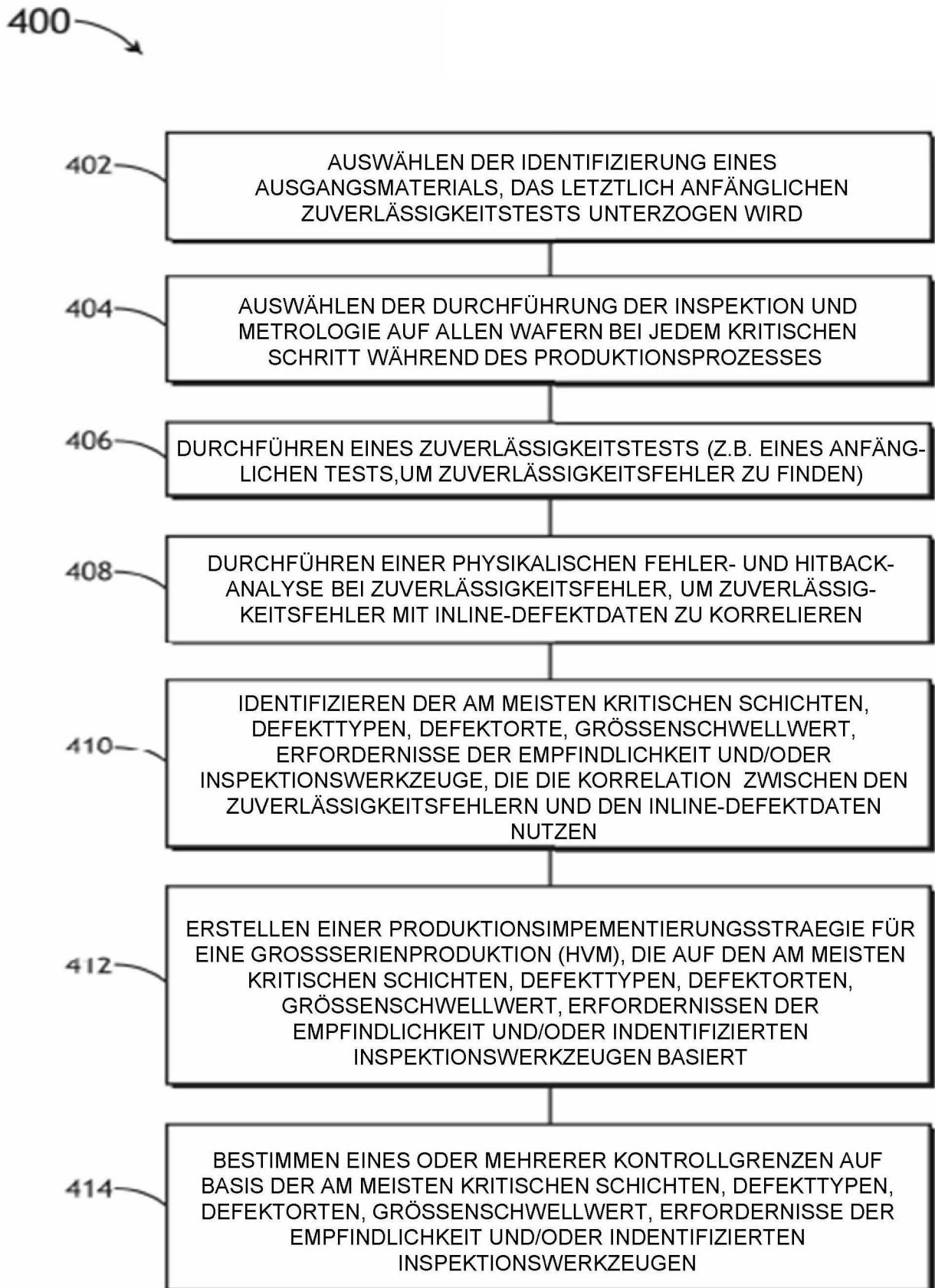


FIG. 4

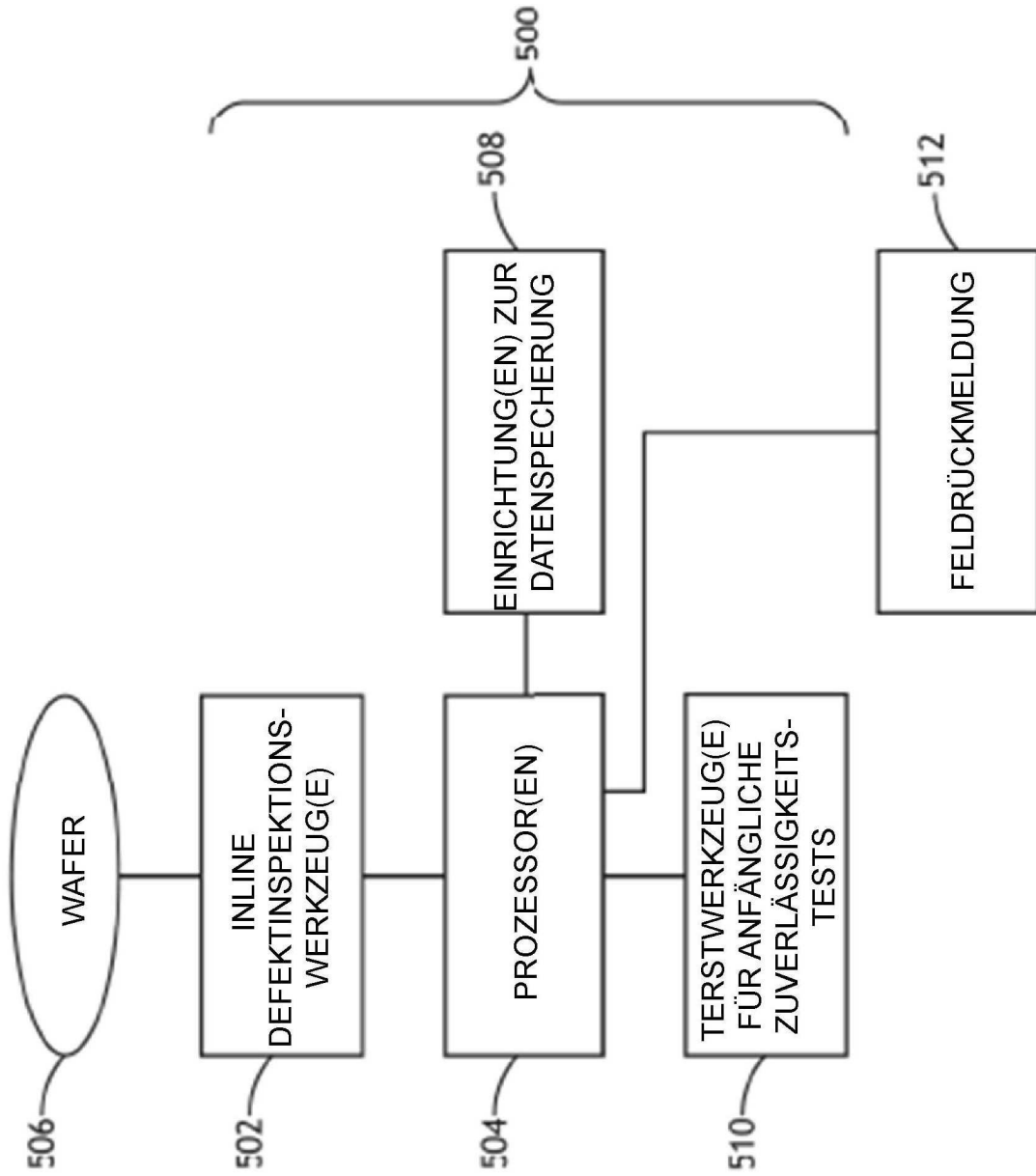


FIG. 5